

**Family list****2** family member for: **JP8338998**

Derived from 1 application

**1 ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION****Inventor:** SAKAMOTO MICHIAKI**Applicant:** NIPPON ELECTRIC CO**EC:****IPC:** G02F1/136; G02F1/1368; G09F9/30 (+9)**Publication info:** JP2780673B2 B2 - 1998-07-30

JP8338998 A - 1996-12-24

Data supplied from the **esp@cenet** database - Worldwide

**Patent number:** JP8338998  
**Publication date:** 1996-12-24  
**Inventor:** SAKAMOTO MICHIAKI  
**Applicant:** NIPPON ELECTRIC CO  
**Classification:**  
**- International:** *G02F1/136; G02F1/1368; G09F9/30; H01L21/336; H01L29/786; G02F1/13; G09F9/30; H01L21/02; H01L29/66; (IPC1-7): G02F1/136; H01L21/336; H01L29/786*  
**- european:**  
**Application number:** JP19950146164 19950613  
**Priority number(s):** JP19950146164 19950613

**Report a data error here**

**Abstract of JP8338998**

**PURPOSE:** To prevent the contact defect of TFT electrodes and pixel electrodes without increasing production stages. **CONSTITUTION:** Thin-film transistors(TFTs) and peripheral contact electrodes are formed on a transparent substrate 1 and a passivation film 9 is laminated thereon. Contact holes 10 are formed on the peripheral contact electrodes of the film and the electrodes of the TRs and a metallic film 12 is deposited and patterned, by which the metallic film 12 is patterned and formed on the channel parts of the TFTs and the contact hole parts. The light shielding films 11 on the channel parts 15 and the metallic films 12 on the contact holes 10 are formed in another islands and the light shielding films 12 on the channel parts 15 are made floating. Finally, a transparent conductive material is deposited and patterned to form pixel electrodes. Simultaneously, a transparent conductive layers 14 are patterned and formed on the light shielding films.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-338998

(43) 公開日 平成8年(1996)12月24日

(51) Int. Cl. <sup>6</sup>

G02F 1/136

H01L 29/786

21/336

識別記号

500

F I

G02F 1/136

H01L 29/78

500

619

627

B

E

審査請求 有 請求項の数 7 O L (全 7 頁)

(21) 出願番号

特願平7-146164

(22) 出願日

平成7年(1995)6月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 坂本 道昭

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 弁理士 京本 直樹 (外 2 名)

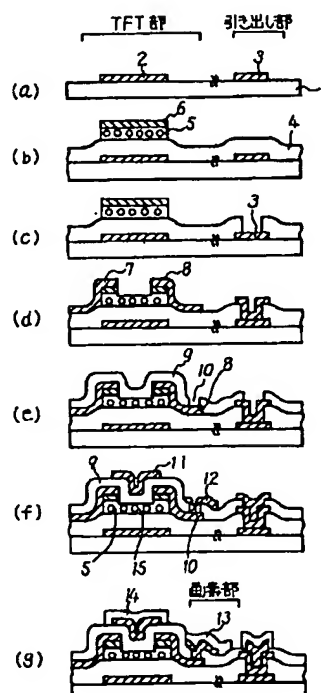
(54) 【発明の名称】 アクティブマトリクス型液晶表示装置およびその製造方

法

(57) 【要約】

【目的】 製造工程を増大することなく TFT 電極と画素電極との接触不良を防止することにある。

【構成】 透明基板上に薄膜トランジスタおよび周辺コンタクト電極を形成し、パッシベーション膜を積層する。この膜の周辺コンタクト電極上およびトランジスタノ電極上にコンタクトホールを形成し、金属膜を堆積、パターニングして薄膜トランジスタのチャンネル部上およびコンタクトホール部上に金属膜をパターン形成する。ここでチャンネル部上の遮光膜およびコンタクトホール上の金属膜は別のアイランドで形成し、チャンネル部上の遮光膜はフローティングとする。最後に透明導電材料を堆積、パターニングして画素電極を形成する。同時に遮光膜上にも透明導電層をパターン形成する。



## 【特許請求の範囲】

【請求項 1】 透明基板上にゲート電極、ゲート絶縁膜、半導体層、ドレイン・ソース電極からなる薄膜トランジスタを配列してなる薄膜トランジスタ基板を有するアクティブマトリクス型液晶表示装置において、パッシベーション膜上に前記薄膜トランジスタのチャンネル部を遮光する金属遮光膜および画素電極を有し、前記ソース（ドレイン）電極と前記画素電極との間に金属膜が介在していることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】 前記金属遮光膜が透明導電体膜で覆われていることを特徴とする請求項 1 記載のアクティブマトリクス型液晶表示装置。

【請求項 3】 前記金属遮光膜は前記画素電極と分離されて形成されていて電氣的にフローティングであることを特徴とする請求項 1 又は 2 記載のアクティブマトリクス型液晶表示装置。

【請求項 4】 前記薄膜トランジスタの半導体層の表面が水素プラズマ処理により不活性化されていることを特徴とする請求項 1、2 又は 3 記載のアクティブマトリクス型液晶表示装置。

【請求項 5】 透明基板上にゲート電極および信号線を選択的に形成する工程と、前記基板上にゲート絶縁膜および第 1 の半導体層および第 2 の半導体層を選択的に形成する工程と、金属膜を被着しパターニングすることによりドレインおよびソース電極を形成する工程と、パッシベーション絶縁膜を成長し、パターニングすることにより周辺端子部および前記ソース又はドレイン電極上にコンタクトホールを形成する工程と、金属を被着しパターニングすることにより前記チャンネルコンタクトホールに金属膜を形成する工程と、透明導電膜により画素電極を形成する工程とを含むことを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項 6】 前記パッシベーション膜にコンタクトホールを形成すると同時に前記ゲート絶縁膜を選択的に除去して前記信号線の一部を露出させることを特徴とする請求項 5 記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項 7】 前記パッシベーション膜形成前に前記半導体層に水素プラズマ処理を施し、トランジスタのバックチャンネルを不活性化することを特徴とする請求項 5 又は 6 記載のアクティブマトリクス型液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶表示装置に関し、特に薄膜トランジスタを有するアクティブマトリクス型液晶表示装置およびその製造方法に関する。

## 【0002】

【従来の技術】 図 6 は従来の薄膜トランジスタを有する

アクティブマトリクス型液晶表示層値の概念を示す断面図（a）および平面図（b）である。このアクティブマトリクス型液晶表示装置は薄膜トランジスタ（TFT）基板 18 および対向基板 19 からなり、その間にツイストネマティック（TN）液晶 20 を挟持する構造をとっている。TFT 基板 18 はガラス基板 1 上にマトリクス上に形成された各画素毎に対応する画素電極 13 と、信号線 22 および走査線 21、さらに画素電極毎に設けられた薄膜トランジスタ（TFT）23 からなる。また対向基板 19 は透明電極 24 および各画素毎に対応した RGB の色層 25 および遮光を目的とした遮光層 26 からなる。

【0003】 図 7 はかかる TFT 基板の製造方法である。ガラス基板 1 上に Cr、W、Ta、Al などの第 1 金属膜をスパッタ法などを用いて被着しこれをパターニングしてゲート電極 2 と各信号線および走査線のための周辺コンタクト電極 3 を形成する（図 7（a））。次に SiNx などからなるゲート絶縁膜 4 およびノンドーパモルファスシリコン（a-Si）膜 5、およびリンが高濃度にドーパされた n+a-Si 6 をプラズマ CVD 法により連続的に成長させたのち、n+a-Si 6 および a-Si 5 をアイランド上にパターニングする（図 7（b））。次にゲート絶縁膜をパターニングして第 1 金属膜からなる周辺コンタクト電極 3 上のゲート絶縁膜 4 のみを選択的に除去する（図 7（c））。次に Cr、W、Ta、Al などからなる第 2 金属膜をスパッタ法などにより被着およびパターニングして信号線およびドレイン電極 7、ソース電極 8 を形成する（図 7（d））。信号線の一部はコンタクト電極 3 に接続されている。さらに酸化インジウム錫（ITO）などの透明電極を被着、パターニングし、画素電極 13 を形成する。

【0004】 次にソース、ドレイン電極 8、7 をマスクに TFT のチャンネル部 15 上の n+a-Si をエッチング除去する（図 7（e））。さらに特にプロジェクターなどの場合は強光下での駆動となるため、TFT 上にも遮光層を設ける必要があり、Cr、W、Ta、Al などからなる金属遮光膜 11 を形成、パターニングする（図 7（g））。

【0005】 以上のように従来の遮光膜付きチャンネルエッチ型薄膜トランジスタの形成方法では、パターニング工程が、各工程に対応して、パターニング工程は 7 回となる。

【0006】 上記従来構造では信号線 22 と画素電極 13 が同層にあるため、これらの間隔 x（図 6（b）参照）を 10～20 μm 程度とらなくてはエッチング残りなどにより画素電極 13 と信号線 22 のショートが増加する。そのため、画素面積が小さくなり開口率は対角 25 cm VGA クラスのパネルで 50%～60% に低下する。

【0007】 この問題を解決するため、特開昭 64-6

8729号公報では、図8に示すように、ドレイン、ソース電極7、8形成し、チャンネル分を掘り込んだ後、パッシベーション膜9を形成して同膜9にコンタクトホール10を形成し、しかる後に画素電極13を形成している。画素電極13はこれによってソース電極8とパッシベーション膜9に設けられたコンタクトホール10を介して接続される。

【0008】この場合、信号線22(7、8)と画素電極13は異なる層にあるため、これらの間隔を0~2μmまで近づけることが可能となり、開口率が対角25cmVGAクラスのパネルで60%から70%に増加する。

【0009】しかしながら、コンタクトホール10部での画素電極13が断線をおこし、ソース電極8・画素電極13間のコンタクト不良がおきる問題がある。

【0010】そこで、図8に12として示すように、コンタクトホール部10を透明画素電極13と金属層12の2層構造とする技術が特開昭4-68729号公報に開示されている。この場合、バタニング工程は層間分離しない場合に比べ、コンタクト部の金属層のバタニング工程分増え、バタニング工程は8回となる。

【0011】かかるバタニング工程の増大を抑えるために、実開平1-104051号公報では、図9のように、コンタクト部10の金属層12を金属遮光膜11と同じ金属膜で形成した、すなわち、遮光膜11でコンタクト金属層12を兼ねたTFTが開示されている。この場合、金属層12はコンタクトホール内およびTFTのチャンネル領域上方にアイランド状にパターン形成されている。

【0012】かかるTFTでは、バタニング工程は遮光膜11と金属層12のバタニングが同時に行われているので7回となる。

【0013】

【発明が解決しようとする課題】このように、開口率を高めるために画素電極をソース電極と重ねて形成することが提案されており、また、その場合におけるコンタクト不良を解決するためにコンタクトホール10では透明画素電極層13と金属層12の2層構造とすることが提案されている。

【0014】しかしながら、実際に試作した結果、コンタクト不良の原因としてはコンタクトホール10部での画素電極13の断線の他に、ソース電極8である第2金属膜とITOなどの透明画素電極13の接触不良が認められた。これはCrなどでドレイン・ソース電極7、8形成後、プラズマCVDなどでパッシベーション膜9を形成する際に、金属表面に酸化Crが形成されるため、ITOなどの半導体膜を積層するとオーミックコンタクトがとれず、コンタクト性が極めて悪くなると考察される。

【0015】したがって、図8、図9に示す手法では、

ソース電極8・画素電極13間の良好なコンタクトを取るためには、ソース電極金属8表面の金属酸化膜をエッチングまたは逆スパッタ法などにより除去すること工程が必要となる。これは、製造プロセスを複雑化し、歩留りを劣化させることになる。

【0016】また、図9に示すものでは、コンタクト部の金属層12と遮光膜11が兼ねているが、この場合、遮光膜11とパッシベーション膜9さらにa-Si膜5によりMIS構造ができ、いわゆるバックチャネルが形成される。このため、画素電極13が正フレームと負フレームとでTFTの電気特性が図2のように特にオフ側で非対称となり、TFTのオフ特性に起因するパネルの表示不良や、液晶へDC特性が印加することに起因する表示不良を引き起こし、パネル表示の面で問題点があった。

【0017】しかも、金属遮光膜11(12)が最上層となり、配向材を介して直接液晶と接しているため化学的に不安定である問題を有した。

【0018】本発明はこれらの点に鑑みてなされたものであり、したがって、その目的は、上記ドレイン、画素間層間分離TFTプロセスにおいて複雑なプロセスを増やすことなく、ソース・画素間のコンタクト不良を減らし、製造コストの低くかつ高歩留まりで製造することのできる化学的に安定したアクティブマトリクス基板とその製造方法を提供することにある。

【0019】

【課題を解決するための手段】上記目的を達成するため、本発明では透明な絶縁性基板上に形成されたゲート電極、ゲート絶縁膜、半導体層、ドレイン・ソース電極からなる薄膜トランジスタを配列してなる薄膜トランジスタ基板において、それを覆うパッシベーション膜上に、トランジスタのチャンネル部を遮光する金属遮光層と画素電極を有し、ソース・画素電極間のコンタクトを金属遮光膜、画素電極の順に形成することを特徴とするアクティブマトリクス基板が提供される。

【0020】また、本発明によれば透明基板上にゲート電極を形成する工程と、ゲート絶縁膜およびノンドープ半導体層および低抵抗半導体層を連続成長させ、半導体層をバタニングする工程と、走査線および信号線の引出部上のゲート絶縁膜を除去する工程と、金属膜を被着、バタニングすることによりドレインおよびソース電極を形成する工程と、絶縁膜を成長、バタニングすることにより走査線および信号線の引出部上のパッシベーション膜を除去し同時にソース電極上コンタクトホールを形成する工程とを含むことを特徴とするアクティブマトリクス基板の製造方法が提供される。

【0021】

【実施例】本発明の上記および他の目的、特徴、利点を明確にすべく、以下、本発明の実施例について図面を参照にして説明する。

5

【0022】図1は本発明の第1の実施例のアクティブマトリクス液晶表示装置をその製造工程順に示した断面図である。本実施例では、まず、ガラスのような透明絶縁基板1上にCr、W、Ta、Alなどからなる第1導体膜をスパッタ法などにより100nm～300nmの厚さに堆積し、フォトリソグラフィ法を用いてパターンニングし、ゲート電極2および走査線およびその周辺コンタクト電極3を形成する(図1(a))。

【0023】次に、プラズマCVD法などによりSiNxなどからなるゲート絶縁膜4を200nm～600nmの厚さに、チャンネル層としてのノンドープa-Si膜5を100nm～400nmの厚さに、コンタクト層としてのリンドープしたn+a-Si膜6を10nm～100nmの厚さに連続的に成膜し、各半導体層をアイランド上にパターンニングする(図1(b))。

【0024】次に走査線および信号線の引出し部3上のゲート絶縁膜4部分を除去する(図1(c))。

【0025】次に、Cr、W、Ta、Alなどからなる第2導体膜をスパッタ法などにより100nm～300nmの厚さに堆積後、第2導体膜をスパッタ法などにより100nm～300nmの厚さに堆積後、第2導体膜とコンタクトn+a-Si層6をパターンニングして、信号線およびドレイン電極ソース7、8を形成する(図1(d))。

【0026】次にプラズマCVD法などによりSiNxなどから成るパッシベーション膜9を100nm～300nm成膜し、走査線および信号線引出し部3のパッシベーション膜を除去し、同時にソース電極8上にコンタクトホール10を形成する(図1(e))。

【0027】次にCr、W、Ta、Alなどによ第3導体膜をスパッタ法により50nm～200nm形成し、パターンニングして薄膜トランジスタチャンネル部15上およびコンタクトホール部10上に金属膜12を形成する(図1(f))。ここでチャンネル部15上の遮光膜11およびコンタクトホール上の金属膜12とは分離されており、したがって、チャンネル上の遮光膜11は動作状態ではフローティングとする。もし、遮光膜11と金属膜12を連続して形成すると、金属遮光膜11、パッシベーション膜9およびノンドープa-Si膜5でMIS構造が形成され、図2のような画素電極13が正フレームと負フレームとでTFTの電流特性が特にオフ特性で非対称となり、オフ特性の劣化および液晶へのDC電圧の印加の原因でパネル表示品質が劣化する。一方、上記のように構成することで、かかる問題点が防止される。

【0028】最後にITOなどの透明性導電材料をスパッタして画素電極13をパターン形成する(図1(g))。同時に透明導電体層14を遮光膜11上にもパターンして残す。これによって、遮光金属11が直接液晶と接して化学的に不安定になることを防ぐ。無論、画素電極13と導電体層14は分離している。

6

【0029】このようにソース・画素電極8、13間のコンタクトホールにおいて、ソース電極8と金属層12を直接コンタクトさせることにより、画素電極13、金属遮光膜12の順に形成したときに見られたコンタクト不良がなく、良好なコンタクトが形成されることが確認できた。前述のとおり、電極8表面には酸化膜が形成されるが、金属層12を直接スパッタ形成することで、その理由は明確ではないが、電極8と金属層12とが高さ数オームの抵抗をもって接触している。また、遮光性も十分にありプロジェクターなどの強光下での使用にも耐えうるTFT構造となっている。また、パターンニング工程は従来例と同様に7PRとなる。

【0030】次に図3を用いて本発明の第2の実施例を説明する。第1の実施例と同様にしてゲート電極2を形成し(図3(a))、ゲート絶縁膜4、ノンドープa-Si膜5、低抵抗のn+a-Si膜6を連続成膜し、半導体層をアイランド状にパターン形成する(図3(b))。

次に走査線および信号線引出し部3上のゲート絶縁膜を除去する事なく、第2金属膜を堆積後、第2金属膜とn+a-Si膜をパターンニングすることにより信号線およびドレイン電極7・ソース電極8を形成する(図3(c))。次にSiNxなどでパッシベーション膜9を堆積し、ソース電極8上のコンタクトホール10を形成し、同時に走査線および信号線の引出し部3の絶縁層を除去する(図3(d))。このとき、ソース電極8上のコンタクトホール10の形成には約200nmのパッシベーション膜9を除去すればよいのに対し、引出し部上ではパッシベーション膜9約200nmとゲート絶縁膜4約600nmを除去しなくてはならないので、エッチング条件を最適化し、たとえば絶縁膜除去に $O_2$ およびCF<sub>4</sub>、ガスをを用いたドライエッチングによりコンタクトホール部がテーパ形状になるようにする必要がある。その後、ソース電極8・画素電極13間のコンタクトを兼ねた金属遮光膜11、12を形成し(図3(e))、パターンニングし、最後にITOなどの透明導電材料により画素電極13を形成する(図3(f))。

この場合、走査線や信号線の引出し部のパターンニングとパッシベーション膜のパターンニングを同時に行うので、パターンニング工程は6PRとなる。

【0031】次に図4を用いて本発明の第3の実施例を説明する。本実施例では、前述の第1、第2の実施例のパッシベーション膜9成膜工程前に、水素プラズマ処理を行うものである(図4(a))。これは遮光膜としてCrなどの金属膜を用いる場合、金属膜11が帯電し、TFTのバックチャンネル16がオンし、それに伴うTFTのオフ電流の増加によりパネルの表示品質が劣化することを防ぐため、水素プラズマ処理によりTFTのバックチャンネル16の不活性化を行うことを目的とする。これによりTFTのバックチャンネル16の不活性化を行うことを目的とする。こるによりa-Siバックチャンネル

16 側に  $H_i$  が  $SiH_4$  の形で取り込まれ、 $Si$  同士のネットワークが図 4 (b) として示すように粗の状態になり、バックチャネル 16 が不活性化する。

【0032】図 5 に水素流量  $2000 \text{ sccm}$ 、RF パワー  $250 \text{ W}$ 、圧力  $200 \text{ Pa}$  の条件で水素プラズマ処理を行った場合の、TFT のバックチャネル特性のプラズマ時間依存性を示す。これより水素プラズマ処理を行った場合の、TFT のバックチャネル特性のプラズマ時間依存性を示す。これより水素プラズマ処理を 30 秒以上行うことによりバックチャネル 16 が不活性化し、金属遮光膜 11、パッシベーション膜 9、 $a-Si$  膜 5 により TFT バックチャネル 16 側に MIS 構造が形成されても、TFT のオフ電流特性は安定し、パネルの表示品質は向上する。

【0033】

【発明の効果】以上説明したように、本発明によるアクティブマトリクス基板は、ゲート電極、ゲート絶縁膜、半導体層、ドレイン・ソース電極からなる薄膜トランジスタおよびそれを覆うパッシベーション膜が形成され、パッシベーション膜上に TFT のチャネル部を遮光する金属遮光層および画素電極からなる。また、ソース・画素電極間のコンタクトは遮光膜金属および画素透明導電材料により、この順に 2 層で取られている。

【0034】よって、本発明によればドレイン・画素間層間分離型 TFT パネルで問題となるソース・画素電極間のコンタクトが十分にとれ、画素欠陥が減り、特性に

優れた製品を高歩留り、かつ低製造コストでつくることができる。

【0035】また金属遮光層をソースと切り離しフローティングすることで画素が正負フレームで TFT のオフ特性が非対称になることを防ぎ、パネルの表示品質を向上させることが可能となる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例のアクティブマトリクス液晶表示装置で用いる薄膜トランジスタの製造方法を説明するための工程断面図。

【図 2】金属遮光層をソース電極につなげた場合とフローティングにした場合の TFT の電流特性の比較。

【図 3】本発明の第 2 の実施例の薄膜トランジスタの製造方法を説明するための工程断面図。

【図 4】本発明の第 3 の実施例の薄膜トランジスタの製造方法を説明するための工程断面図。

【図 5】TFT のバックチャネル電流特性の水素プラズマ時間依存性。

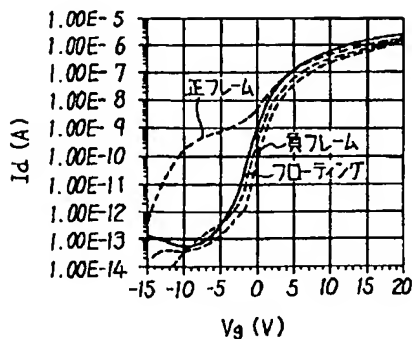
【図 6】従来のアクティブマトリクス液晶表示装置の構造。

【図 7】従来の薄膜トランジスタの製造方法を説明するための工程断面図。

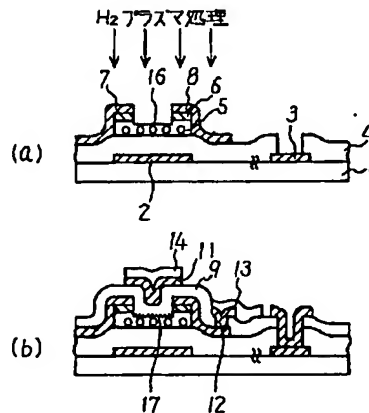
【図 8】特開昭 64-68729 で開示された薄膜トランジスタの断面図。

【図 9】実開平 1-104051 で開示された薄膜トランジスタの断面図。

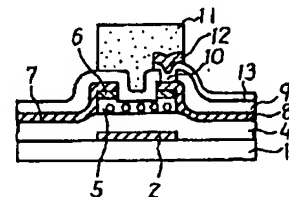
【図 2】



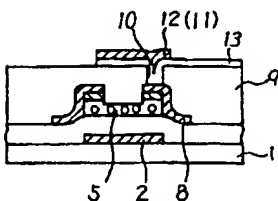
【図 4】



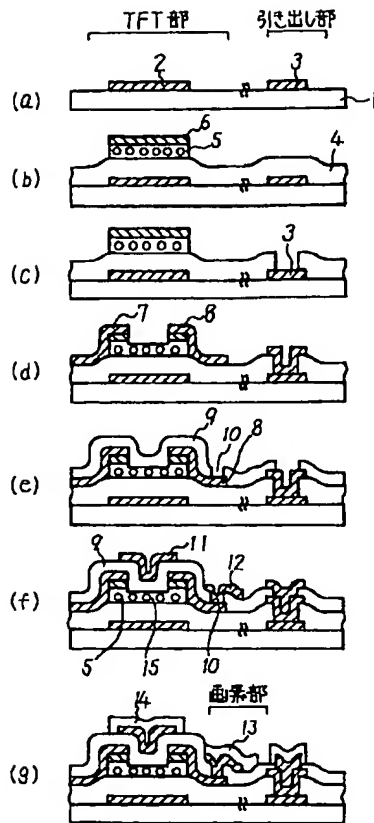
【図 8】



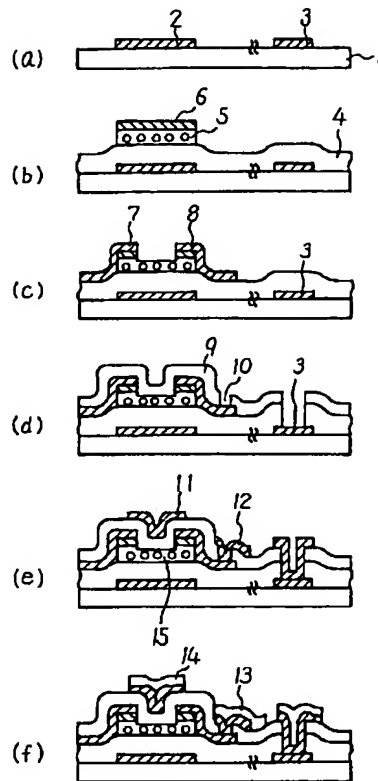
【図 9】



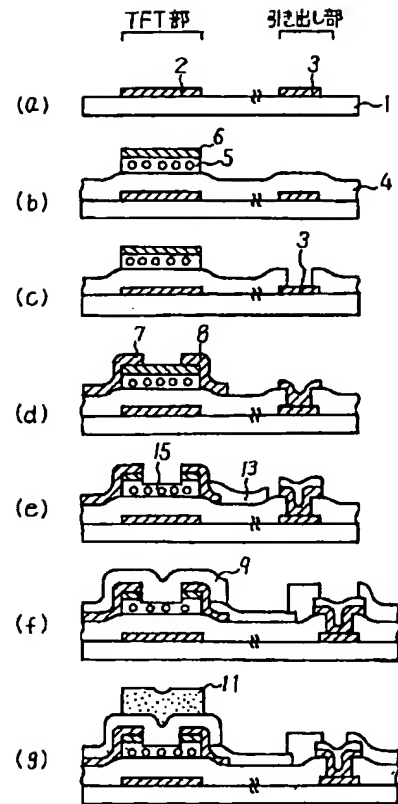
【図 1】



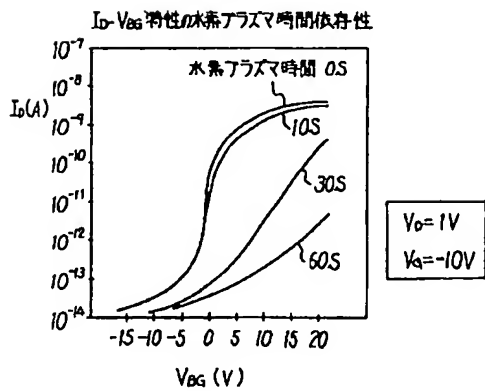
【図 3】



【図 7】



【図 5】





【図 6】

